

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



(11) Publication number: 07115198 A

(43) Date of publication of application: 02.05.95

(51) Int Cl

H01L 29/78

H01L 21/336

H01L 21/28

(21) Application number: 08198120

(22) Date of filing: 23.08.94

(30) Priority: 26.08.93 JP 05211279

(71) Applicant **FUJITSU LTD**

(72) Inventor: HAYASHI HIROMI  
FUSHIDA ATSUO

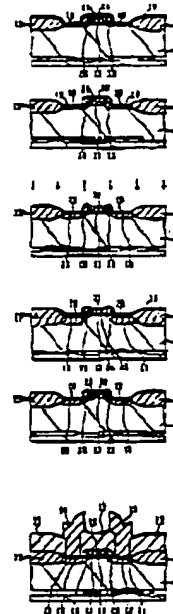
(54) METHOD OF MANUFACTURING  
SEMICONDUCTOR DEVICE

(57) Abstract

**PURPOSE:** To form a good silicide film by depositing a Co film extending from the surface of a Si substrate to an oxide film, forming an Si film pattern thereon, covering the Co film with a TiN film and conducting a silicide reaction.

**CONSTITUTION:** After depositing an Si film 27 on the surface of a p-type Si substrate 21 having side walls 26 on the side walls of a gate electrode and heat treating it to cause a silicide reaction of the Co film, the remaining unreacted Co film 27 is removed to form a Co silicide film 28. An Si nitride film 25 is removed to expose a gate electrode 24, ions of an n-type impurity are implanted into this electrode, and heat treatment is made to form a polycrystalline gate electrode 24 and shallow and lowresistance source/drain regions 29 and 30. A Co film 31 is deposited on the substrate 21, then a silicide reaction of the film 31 with the electrode 24 to form a Co silicide film 32, then unreacted Co film 31 is removed to form an Si oxide interlayer insulation film 33 and thereby form a source electrode 34 and drain electrode 35.

COPYRIGHT: (C)1995.JPO



**mimosa**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-115198

(43) 公開日 平成7年(1995)5月2日

(51) IntCl <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/338				
21/28	3 0 1 T	7378-4M		
		7514-4M		
			H 0 1 L 29/78	3 0 1 P
審査請求 未請求 請求項の数22 O L (全 18 頁)				

(21) 出願番号 特願平6-198120

(22) 出願日 平成6年(1994)8月23日

(31) 優先権主要番号 特願平5-211279

(32) 優先日 平5(1993)8月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000000223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 林 浩美

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 伏田 篤郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

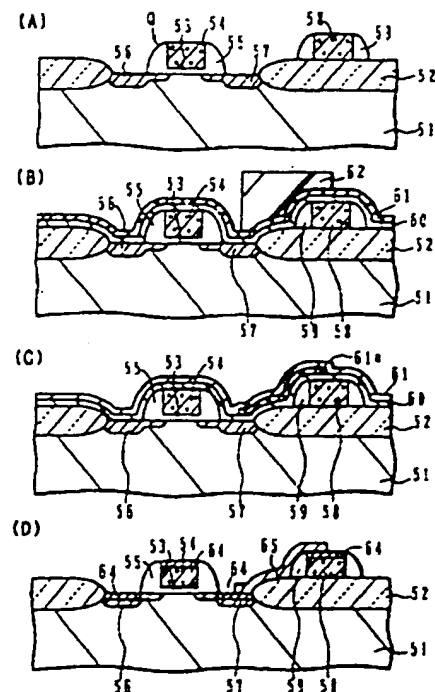
(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 シリサイド電極（配線）を用いた半導体装置の製造方法に関し、シリサイド技術を用い、局所配線を作成することのできる半導体装置の製造方法を提供する。

【構成】 シリコン半導体基板表面を選択的に酸化してフィールド酸化膜を形成すると共に、少なくとも一部が前記フィールド酸化膜で境界付けされたシリコン表面を画定する工程と、前記シリコン表面およびフィールド酸化膜を覆ってコバルト膜を堆積する工程と、前記コバルト膜上にシリコン膜を堆積し、パターンニングして前記シリコン表面上から前記フィールド酸化膜上に延在するシリコン膜パターンを形成する工程と、前記コバルト膜上にTiN膜を形成する工程と、前記基板を加熱し、前記コバルト膜と前記シリコン表面間および前記コバルト膜と前記シリコン膜パターン間のシリサイド反応を行なわせる工程と、残ったTiN膜とCo膜を除去する工程とを含む。



## 【特許請求の範囲】

【請求項1】 シリコン半導体の基板上にゲート絶縁膜を介してシリコンゲート電極を形成する工程と、前記シリコンゲート電極の露出面を絶縁膜で覆い、ゲート電極の両側では基板表面を露出する工程と、前記基板表面上に第1の高融点金属膜を形成する工程と、前記基板を加熱して前記第1の高融点金属膜と前記基板表面とのシリサイド反応を行なわせ、第1の高融点金属シリサイド膜を形成する工程と、未反応の前記第1の高融点金属膜を除去する工程と、前記ゲート電極上の絶縁膜を除去し、ゲート電極表面を露出する工程と、前記ゲート電極および第1の高融点金属シリサイド膜下の基板表面に不純物イオンを注入する工程と、前記基板を加熱して、前記不純物を活性化する工程とを含む半導体装置の製造方法。

【請求項2】 さらに、前記イオン注入工程の後、前記ゲート電極を覆って第2の高融点金属膜を形成する工程と、前記基板を加熱して、前記シリコンゲート電極と第2の高融点金属膜とのシリサイド反応を行なわせ、第2の高融点金属シリサイド膜を形成する工程とを含む請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の高融点金属膜は第1の高融点金属シリサイド膜の上にも形成され、第1の高融点金属シリサイド膜上にも第2の高融点金属シリサイド膜が形成される請求項2記載の半導体装置の製造方法。

【請求項4】 前記第1の高融点金属シリサイド膜を形成する工程が、前記基板を表面側からランプで加熱する工程を含む請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記第2の高融点金属シリサイド膜を形成する工程が、前記基板を表面側からランプで加熱する工程を含む請求項2または3に記載の半導体装置の製造方法。

【請求項6】 前記不純物を活性化する工程が、前記基板を表面側からランプで加熱する工程を含む請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記シリコン電極の露出面を絶縁膜で覆う工程が、前記ゲート電極形成工程と同時にゲート電極上を第1の絶縁膜で覆う工程と、その後、基板全面に第2の絶縁膜を堆積し、異方性エッチングを行なうことでゲート電極側壁をサイドウォール絶縁膜で覆う工程とを含む請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 第1の絶縁膜と前記第2の絶縁膜とがエッチング特性の異なる絶縁膜で形成されている請求項7記載の半導体装置の製造方法。

【請求項9】 前記第1の絶縁膜が酸化シリコン膜であ

り、前記第2の絶縁膜が酸化シリコン膜である請求項8記載の半導体装置の製造方法。

【請求項10】 さらに、前記不純物イオンの注入工程の前に、前記ゲート電極上および前記第1の高融点金属シリサイド膜の上にスルー酸化膜を形成する工程を含む請求項1～9のいずれかに記載の半導体装置の製造方法。

【請求項11】 前記イオン注入する不純物が、砒素、燐または硼素を含む請求項1～10のいずれかに記載の半導体装置の製造方法。

【請求項12】 シリコン半導体基板表面を選択的に酸化して局所酸化膜を形成すると共に、少なくとも一部が前記局所酸化膜で境界付けされたシリコン表面を画定する工程と、

前記シリコン表面および局所酸化膜を覆ってコバルト膜を堆積する工程と、

前記コバルト膜上にシリコン膜を堆積し、パターンニングして前記シリコン表面上から前記局所酸化膜上に延在するシリコン膜パターンを形成する工程と、

前記コバルト膜上にT i N膜を形成する工程と、前記基板を加熱し、前記コバルト膜と前記シリコン表面間および前記コバルト膜と前記シリコン膜パターン間のシリサイド反応を行なわせる工程と、

残ったT i N膜と未反応のコバルト膜を除去する工程とを含む半導体装置の製造方法。

【請求項13】 前記T i N膜を形成する工程が、T i N膜を堆積する工程と、前記シリコン膜パターンを形成する領域のT i N膜を選択的に除去する工程を含む請求項12記載の半導体装置の製造方法。

【請求項14】 前記シリコン膜パターンを形成する工程が、前記T i N膜を選択的に除去する工程の後に行なわれる請求項13記載の半導体装置の製造方法。

【請求項15】 前記T i N膜を形成する工程が、前記シリコン膜パターンを形成する工程の後に行なわれ、シリコン膜パターンを覆って前記コバルト膜の全面上にT i N膜を形成する請求項12記載の半導体装置の製造方法。

【請求項16】 さらに、前記コバルト膜堆積工程の前に、前記局所酸化膜上にシリコン電極パターンを形成する工程を含み、

前記シリコン膜パターンを形成する工程が、前記シリコン表面上から前記局所酸化膜上を通して前記シリコン電極パターン上に到るシリコン膜パターンを形成し、

前記シリサイド反応を行なわせる工程が、前記コバルト膜と前記シリコン電極パターンのシリサイド反応も行なわせる請求項12～15のいずれかに記載の半導体装置の製造方法。

【請求項17】 前記シリコン電極パターンを形成する工程がシリコン層を堆積する工程、該シリコン層をパターンニングする工程、パターンニングされたシリコン層の側

壁上にシリサイドウォール絶縁膜を形成する工程を含む請求項16記載の半導体装置の製造方法。

【請求項18】 前記シリコン電極パターンを形成する工程が、シリコン層堆積工程後、パターンニング工程前に、前記サイドウォール絶縁膜と異なる絶縁物の上層を堆積する工程を含み、

さらに、サイドウォール絶縁膜形成工程の後に前記絶縁物の上層の一部を選択的に除去する工程を含む請求項17記載の半導体装置の製造方法。

【請求項19】 前記シリコン表面を画定する工程が少なくとも2つのnチャネルMOSトランジスタ領域と2つのpチャネルMOSトランジスタ領域を画定する局所酸化膜を形成し、

前記シリコン電極パターンを形成する工程の前に、前記4つのMOSトランジスタ領域上にゲート絶縁膜を形成する工程を含み、

前記シリコン電極パターンを形成する工程が対応するnチャネルMOSトランジスタとpチャネルMOSトランジスタに共通の2つのゲート電極パターンを形成する請求項17または18記載の半導体装置の製造方法。

【請求項20】 前記シリコン膜パターンを形成する工程が前記対応する2つのMOSトランジスタのドレインとなるシリコン表面と他の2つのMOSトランジスタのゲート電極パターンとを接続するシリコン膜パターンを形成する請求項19記載の半導体装置の製造方法。

【請求項21】 前記半導体装置がドレインを直結したCMOSインバータ回路の並列接続を含み、前記シリコン膜パターンが前段のCMOSインバータ回路のドレインと後段のCMOSインバータ回路のゲートとを接続する請求項20記載の半導体装置の製造方法。

【請求項22】 前記半導体装置がドレインを直結したCMOSインバータ回路の並列接続を有するSRAMセルを含み、前記シリコン膜パターンが一方のCMOSインバータ回路のドレインを他方のCMOSインバータ回路のゲートに接続し、かつ他方のCMOSインバータ回路のドレインを一方のCMOSインバータ回路のゲートに接続する請求項20記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シリコン半導体装置に関し、特にシリサイド電極（配線）を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体集積回路においては、構成素子の微細化と回路の消費電力の低減が要求される。消費電力の低減にはCMOS（complementary metal-oxide-semiconductor）回路が有利である。MOSトランジスタの微細化は、ドレイン電圧の印加によってゲート電圧に制御されないドレイン電流が流れてしまうショートチャネル効果の問題を起こす。このようなショートチャネル効

果は、ソース／ドレイン領域の深さがその間の距離（チャネル長）に比べて大きくなってしまいと生じ易い。

【0003】 ショートチャネル効果を防止するためには、ソース／ドレイン領域の不純物拡散領域を浅くすることが望まれる。しかし、不純物拡散領域を浅くすると、その不純物拡散領域の抵抗は高くなる。抵抗を低くするためには、不純物拡散領域の表面に低抵抗の膜を形成することが有効である。このような観点から、シリサイド化技術が重要性を増している。

【0004】 なお、ゲート電極等のシリコン電極（配線）に対しても、その厚さをあまり増大することなく、抵抗を低くすることが望まれ、同様のシリサイド化技術が適用できる。特に、MOSトランジスタのシリコンゲートとソース／ドレイン領域とは同一プロセスでシリサイド化を行なうことができる。

【0005】 図5A-5C、6A-6C、7A-7C、8A、8Bは、従来の技術による自己整合型シリサイド化（サリサイド化）技術を用いたMOSトランジスタの製造方法の例を示す。

【0006】 図5Aに示すように、たとえばp型シリコン基板121の表面に、バッファ酸化膜137および窒化シリコン（SiN<sub>x</sub>）膜138を堆積する。窒化シリコン膜138の上にレジストマスクを形成し、窒化シリコン膜138を所定形状にパターンニングする。その後、レジストマスクは除去する。窒化シリコン膜138は酸素に対する遮蔽膜として機能し、熱酸化工程におけるマスクとして働く。

【0007】 図5Bに示すように、シリコン基板121を高温に加熱し、酸化性雰囲気と接触させることにより、窒化シリコン膜138に覆われていないシリコン基板121表面に熱酸化膜122を形成させる。このようにして、窒化シリコン膜138でマスクされた領域外に、局所酸化（local oxidation of silicon：LOCOS）の酸化膜が形成される。このような酸化膜は、通常フィールド酸化膜と呼ばれる。

【0008】 図5Cに示すように、LOCOS酸化終了後、窒化シリコン膜138を除去し、バッファ酸化膜137も除去する。その後、改めて熱酸化等により、たとえば厚さ約10nm程度のゲート酸化膜123を形成する。

【0009】 図6Aに示すように、ゲート酸化膜123、フィールド酸化膜122の上に、たとえば厚さ150nm程度の多結晶シリコン膜124をCVD（chemical vapor deposition）により、堆積する。

【0010】 図6Bに示すように、堆積した多結晶シリコン膜124に対し、磷（P）または砒素（As）等のn型不純物をイオン注入する。なお、n型シリコン基板上にpチャネルMOSトランジスタを形成する場合は、硼素B等のp型不純物をイオン注入する。また、多結晶シリコン膜を堆積後、不純物をイオン注入する場合を説

明したが、不純物をドーブした多結晶シリコン膜を堆積してもよい。また、後に行なうイオン注入により、多結晶シリコン膜124の不純物量が十分高くなる場合には、図6Bのイオン注入工程を省略してもよい。

【0011】図6Cに示すように、多結晶シリコン膜124の上にレジストパターンを形成し、レジストパターンをエッチングマスクとして多結晶シリコン膜124、ゲート酸化膜123をエッチングする。

【0012】なお、ゲート電極のパターニングは、たとえば $Cl_2 + O_2$ または $HBr$ をエッチングガスとした反応性イオンエッチング (reactive ion etching: RIE) によって行なう。このようにして、シリコン基板121表面上にゲート酸化膜123、多結晶シリコン膜124で形成された絶縁ゲート電極構造を形成する。

【0013】なお、LDD (lightly doped drain) 構造とする場合は、ゲート電極構造を形成した後、たとえば燐や砒素のn型不純物を軽くイオン注入し、浅いn型領域126a、127aを形成する。なお、このn型不純物は、多結晶シリコン膜124にも同時にイオン注入される。

【0014】図7Aに示すように、CVDにより、たとえば厚さ200nm程度の酸化シリコン膜125を堆積する。図7Bに示すように、 $CF_4 + CHF_3$ 混合ガスをエッチングガスとしたRIEにより、堆積した酸化シリコン膜125を異方性エッチングする。平坦な表面上の酸化シリコン膜125が完全にエッチングされるまでRIEを行なうと、ゲート電極構造の側壁上にのみ酸化シリコン膜125が残る。このようにして、ゲート電極のサイドウォール125を形成する。

【0015】図7Cに示すように、サイドウォール125を形成したゲート電極124をマスクとし、燐あるいは砒素のn型不純物をより高濃度にイオン注入し、ソース領域126、ドレイン領域127を形成する。

【0016】図8Aに示すように、基板121全面上に、たとえば厚さ50nm程度のTi膜128をスパッタリング等によって形成する。Ti膜128は、ソース領域126、ドレイン領域127、多結晶ゲート電極124の上ではシリコンと接触するが、その他の領域では酸化シリコン上に堆積される。

【0017】図8Bに示すように、たとえば温度約700℃で時間約30秒間の熱処理を行なう。この熱処理により、シリコンと接触しているTi膜128はシリサイド化反応を生じ、チタンシリサイド膜128aとなる。

【0018】Tiとシリコンを反応させ、チタンシリサイドを形成した後、アンモニア水と過酸化水素との混合液に基板121を浸漬し、未反応のTi膜128を除去する。さらに、温度約800℃、時間約30秒間の熱処理を行ない、シリサイド化反応をさらに進める。2段階の熱処理により多結晶シリサイドゲート電極124、ソース領域126、ドレイン領域127の表面には、Ti

Si<sub>2</sub>膜が形成される。

【0019】なお、チタンシリサイドはいくつかの相を有し、以上説明した2段階の熱処理により、効率的にTiSi<sub>2</sub>にすることができる。このようにして、フィールド酸化膜で囲まれたシリコン表面上にMOSトランジスタを形成する際、ゲート電極、ソース/ドレイン領域の上にのみ自己整合的にシリサイド膜を形成することができる。

【0020】通常、半導体基板上に導電パターンを形成し、その後この導電パターンと他の場所を配線で接続する場合は、一旦表面を絶縁膜で覆い、コンタクトホールを形成した後、接続する配線パターンを形成する。

【0021】ところで、フィールド酸化膜上に配線パターンを形成し、この配線パターンと基板表面の拡散領域とを接続するような局所配線 (local interconnect) の場合、層間絶縁膜を形成し、コンタクトホールを開く工程が省略できれば、半導体装置の微細化、工程の簡略化の上で極めて望ましい。

【0022】USP4, 821, 085および4, 873, 204は、このような局所配線の形成例を開示している。USP4, 821, 085は、導電領域が表面に選択的に露出した基板上に、Ti膜を堆積し、窒素雰囲気中で加熱することにより、Siと接触したTi膜をシリサイド化すると共に、Ti膜表面のTiN化を同時に行なう技術を開示している。窒素ガスによるTi膜の窒化は、Si上よりも酸化膜上において優先的に進行する。Si表面上のTiシリサイド膜に接続した配線層を形成することができる。その後、TiN膜をパターニングすることにより、局所配線を得る。

【0023】USP4, 873, 204は、Si領域が部分的に露出したSi基板上に、高融点金属膜を形成し、さらにその上にパターン化したアモルファスSi膜を形成する。その後、熱処理を行なうことにより、Si領域およびアモルファスSiパターンと接触した領域においてのみ、Tiシリサイドが形成され、局所配線が形成される。このような、シリサイド化を用いた局所配線技術によれば、露出したシリコン領域に自己整合的に接続された配線層を作成することができる。

【0024】

【発明が解決しようとする課題】以上説明した製造方法においては、多結晶シリサイドゲート電極に対し、LDD構造を用いない場合でも2回のイオン注入を行なっている。図6Bに示すイオン注入の場合にも、nチャネルMOSトランジスタとpチャネルMOSトランジスタとでは不純物イオンを打ち分ける必要があり、それぞれのイオン注入を行なうためにマスクが必要である。

【0025】図6Bに示すイオン注入を省略し、ソース/ドレイン領域に対するイオン注入と同一のプロセスのみでゲート電極に対する不純物添加を行なうと、以下のような問題が生じる。

【0026】微細化と共に、ソース/ドレイン領域はその深さが約 $0.1\mu\text{m}$  ( $100\text{nm}$ ) 以下となる。多結晶シリコンゲート電極は、厚さ約 $150\text{nm}$ 程度が必要である。これらの領域に対し、同一のイオン注入および熱処理を行なうと、多結晶シリコンゲート電極に対しては不十分なものとなり、導電性が低くなってしまふ。

【0027】また、高濃度に不純物をドーピングしたシリコンの表面を良好に金属シリサイド化することは困難である。したがって、ソース/ドレイン領域形成のためのイオン注入のドーパ量を高くしすぎると、その後、ソース/ドレイン領域の表面上にシリサイド膜を形成することが難しくなる。

【0028】また、サリサイド技術を用いた局所配線は、半導体装置の微細化に極めて有効であるが、その技術は未だ十分開発されたとは言えない。本発明の目的は、浅いソース/ドレイン領域と十分低い導電性を有する多結晶シリコン電極（配線）とを同時に作成することのできる半導体装置の製造方法を提供することである。

【0029】本発明の他の目的は、サリサイド技術を用い、良好な特性を有する局所配線を作成することのできる半導体装置の製造方法を提供することである。

【0030】

【課題を解決するための手段】本発明の一観点によれば、シリコン半導体の基板上にゲート絶縁膜を介してシリコンゲート電極を形成する工程と、前記シリコンゲート電極の露出面を絶縁膜で覆い、ゲート電極の両側では基板表面を露出する工程と、前記基板表面上に第1の高融点金属膜を形成する工程と、前記基板を加熱して前記第1の高融点金属膜と前記基板表面とのシリサイド反応を行なわせ、第1の高融点金属シリサイド膜を形成する工程と、未反応の前記第1の高融点金属膜を除去する工程と、前記ゲート電極上の絶縁膜を除去し、ゲート電極表面を露出する工程と、前記ゲート電極および第1の高融点金属シリサイド膜下の基板表面に不純物イオンを注入する工程と、前記基板を加熱して、前記不純物を活性化する工程とを含む半導体装置の製造方法が提供される。

【0031】本発明の他の観点によれば、シリコン半導体基板表面を選択的に酸化して局所酸化膜を形成すると共に、少なくとも一部が前記局所酸化膜で境界付けされたシリコン表面を面定する工程と、前記シリコン表面および局所酸化膜を覆ってコバルト膜を堆積する工程と、前記コバルト膜上にシリコン膜を堆積し、パターンニングして前記シリコン表面上から前記局所酸化膜上に延在するシリコン膜パターンを形成する工程と、前記コバルト膜上にTiN膜を形成する工程と、前記基板を加熱し、前記コバルト膜と前記シリコン表面間および前記コバルト膜と前記シリコン膜パターン間のシリサイド反応を行なわせる工程と、残ったTiN膜と未反応のコバルト膜を除去する工程とを含む半導体装置の製造方法が提供さ

れる。

【0032】

【作用】半導体基板表面に高融点金属シリサイド膜を形成した後、シリコンゲート電極と半導体基板表面とにイオン注入を行なえば、半導体基板表面に対するイオン注入はその上に形成された高融点金属シリサイド膜の作用によって注入深さが浅くなる。

【0033】シリコン基板表面から局所酸化膜上に延在するコバルト膜を堆積し、その上にシリコン膜パターンを形成し、コバルト膜表面をTiN膜で覆った後、シリサイド反応を行なわせることにより、酸化し易いコバルト膜を用い、良好なシリサイド膜を基板表面上及び局所酸化膜上に形成することができる。

【0034】

【実施例】図1A-1C、2A-2C、3A-3C、4A、4Bを参照し、本発明の実施例によるMOSトランジスタの製造方法を説明する。

【0035】nチャネルMOSトランジスタを作成する場合を例にとって説明する。図1Aに示すように、p型Si基板21の表面上に、バッファ酸化膜37、窒化シリコン膜38を形成し、窒化シリコン膜38を所望形状にパターンニングする。酸化性雰囲気中でSi基板21を加熱することにより、窒化シリコン膜38をマスクとした局所酸化を行なわせる。局所酸化により、たとえば厚さ約 $500\text{nm}$ のフィールド酸化膜22を形成する。局所酸化後、窒化シリコン膜38およびバッファ酸化膜37は除去する。

【0036】図1Bに示すように、露出したSi基板21表面上に、熱酸化により、たとえば厚さ約 $10\text{nm}$ のゲート酸化膜23を形成する。図1Cに示すように、化学気相堆積（CVD）により、フィールド酸化膜22、ゲート酸化膜23表面上に均一に厚さ約 $150\text{nm}$ のアモルファスシリコン膜24および厚さ約 $50\text{nm}$ の窒化シリコン膜25を堆積する。その後、窒化シリコン膜25の上にゲート電極をパターンニングするためのレジストマスクを作成する。たとえば、アモルファスシリコン膜は、 $\text{Si}_2\text{H}_6$ をソースガスとし、圧力 $0.3\text{Torr}$ 、温度 $450^\circ\text{C}$ のCVDで成膜する。窒化シリコン膜は、 $\text{SiHCl}_3 + \text{NH}_3$ をソースガスとし、圧力 $0.4\text{Torr}$ 、温度 $720 \sim 775^\circ\text{C}$ のCVDで成膜する。

【0037】図2Aに示すように、レジストマスクをエッチングマスクとして用い、窒化シリコン膜25、アモルファスシリコン膜24、ゲート酸化膜23のパターンニングを行なう。たとえば、 $\text{Cl}_2 + \text{O}_2$ または $\text{HBr}$ をエッチングガスとして用いた反応性イオンエッチングにより、ゲート長約 $0.3\mu\text{m}$ の絶縁ゲート電極を作成する。

【0038】必要に応じ、絶縁ゲート電極23、24、25をマスクとしたイオン注入を行ない、軽くドーブし

たn型領域19を作成する。なお、このn型領域19は、LDD構造のソース/ドレイン領域を作成するためのものであり、LDD構造を用いない場合にはこのイオン注入工程は省略する。

【0039】図2Bに示すように、CVDにより、たとえば厚さ80nm程度の酸化シリコン膜26を堆積する。この酸化シリコン膜に対し、 $\text{CF}_4 + \text{CHF}_3$  混合ガスをエッチングガスとしたRIEを行ない、ゲート電極側壁上のサイドウォール26を残し、平坦面上の酸化シリコン膜を除去する。

【0040】なお、アモルファスゲート電極24の上の窒化シリコン膜25はこのRIEによって露出される。なお、RIE後のSi基板を希HF水溶液で処理し、表面上に発生し得る自然酸化膜を除去する。

【0041】図2Cに示すように、Si基板21の全表面上にCo膜27を、たとえば厚さ10nm程度スパッタリングにより堆積する。なお、このスパッタリング工程は、たとえばスパッタリングガスであるArガスを100sccm流し、スパッタリング室内の圧力を0.1Pa程度に保ち、Coのターゲットに約3.7W/cm<sup>2</sup>程度のRFパワーを印加して行なう。

【0042】なお、この状態で、Si基板21の表面は、後にソース/ドレイン領域となる部分でCo膜27と接するが、アモルファスシリコンのゲート電極24は、窒化シリコン膜25によってCo膜27から隔られている。

【0043】図3Aに示すように、基板21を温度約700℃に加熱し、時間約30秒間の熱処理を行ない、Co膜のシリサイド反応を行なわせる。Siと接触している領域において、Co膜のシリサイド反応が進み、シリサイド膜が形成される。なお、ゲート電極24は窒化シリコン膜25によって覆われているため、シリサイド反応は進行しない。

【0044】その後、HCl水溶液と過酸化水素( $\text{H}_2\text{O}_2$ )の混合液( $\text{HCl}:\text{H}_2\text{O}_2=3:1$ )に浸漬し、フィールド酸化膜22、サイドウォール26、窒化シリサイド膜25上に残存する未反応Co膜27を除去する。MOSトランジスタのソース/ドレイン領域形成予定部分にのみコバルトシリサイド膜28が形成される。

【0045】図3Bに示すように、熱燐酸液に基板21を浸漬し、窒化シリコン膜25を除去する。窒化シリコン膜25が除去されると、アモルファスシリコンのゲート電極24上面が露出される。この状態で、燐、砒素等のn型不純物をイオン注入する。たとえば、Asイオンを加速電圧約40keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。

【0046】アモルファスシリコンのゲート電極24に対しては、直接Asイオンが注入され、比較的深くAsが分布する。ソース領域29、ドレイン領域30におい

ては、上面をコバルトシリサイド膜28が覆っているため、イオン注入深さはその分浅くなる。

【0047】その後、温度約500℃、時間約30秒間の熱処理を行なう。この熱処理により、イオン注入された不純物が活性化すると共に、ゲート電極24内に十分拡散する。また、アモルファスシリコンは多結晶シリコンに変化する。さらに、コバルトシリサイド膜28は完全に $\text{CoSi}_2$ に変化する。このようにして、低抵抗の多結晶ゲート電極24、浅くかつ低抵抗のソース/ドレイン領域29、30を作成する。

【0048】図3Cに示すように、Si基板21を希弗化水素酸液中に浸漬し、シリコン表面上に形成され得る自然酸化膜の除去を行なう。続いて、Si基板21をスパッタリング装置に搬入し、厚さ約10nmのCo膜31をスパッタリングにより堆積する。このCo膜31は、ゲート電極24においてシリコンと直接接し、ソース/ドレイン領域29、30においては、コバルトシリサイド膜28に接触する。

【0049】図4Aに示すように、Si基板21に対し、温度約700℃、時間約30秒間の熱処理を行ない、Co膜31とシリコンゲート電極24のシリサイド反応を行なわせる。なお、酸化シリコン膜22、26上においては、シリサイド反応は進行せず、シリサイド膜28上においてもシリサイド反応はあまり進行しない。

【0050】このようにして、ゲート電極24上にコバルトシリサイド膜32を形成する。その後、Si基板21を $\text{HCl} + \text{H}_2\text{O}_2$  (3:1) 混合液に約120秒間浸漬することにより、未反応のCo膜31を除去する。なお、コバルトシリサイド膜32は、その後の熱処理を経過して、 $\text{CoSi}_2$ に変化する。

【0051】図4Bに示すように、Si基板21表面上に、CVDにより厚さ約400nmの酸化シリコン層間絶縁膜33を形成する。層間絶縁膜33上にレジスト膜を塗布し、パターニングすることにより、コンタクトホールを形成する。このレジストマスクをエッチングマスクとし、層間絶縁膜33にコンタクトホールを開口する。このコンタクトホール形成工程は、たとえば $\text{CF}_4 + \text{CHF}_3$  混合ガスをエッチングガスとして用いたRIEにより行なうことができる。

【0052】コンタクトホール内にコバルトシリサイド膜28を露出した後、スパッタリングによりたとえば厚さ約20nmのTi膜と厚さ約100nmのTiN膜をバリアメタルとして堆積し、さらにその上に、たとえば厚さ約500nmのAl膜を堆積する。

【0053】このように形成した電極膜上にレジストマスクを形成し、たとえば $\text{Cl}_2$ ガスをエッチングガスとしたRIEを行なうことにより、電極膜をパターニングし、ソース電極34、ドレイン電極35およびその他の電極を形成する。このようにして、nチャネルMOSトランジスタが形成される。



【0054】なお、全ての導電型を反転することにより、同様の工程によってpチャネルMOSトランジスタを作成することもできる。CMOS装置の場合には、nウェルおよびpウェル上にそれぞれpチャネルMOSトランジスタとnチャネルMOSトランジスタを作成すればよい。

【0055】以上説明した実施例においては、図3Bに示すイオン注入工程において、ソース/ドレイン領域はコバルトシリサイド膜を介してイオン注入され、ゲート電極は直接イオン注入される。このため、同一のイオン注入によってゲート電極には十分な深さまで不純物をイオン注入すると共に、ソース/ドレイン領域には浅いイオン注入領域を形成することができる。

【0056】また、コバルトシリサイドを形成した後にイオン注入を行なうことにより、シリサイド反応を十分行なわせ、下地のSiに十分多量の不純物をドーブし、十分低抵抗のコバルトシリサイド付拡散領域を得ることができる。

【0057】また、コバルトシリサイドを用いているため、その後イオン注入されるAs、B、P等の不純物とシリサイド膜とが反応化合物を作らない。なお、このようなシリサイドとしては他にタングステンシリサイドを用いることも可能である。

【0058】なお、シリサイド反応を行なわせるための熱処理等はランプ加熱を用いたラピッドサーマルアニール(RTA)によって行なうことが好ましい。目的とするシリサイド反応等を行なわせ、かつ不所望の不純物拡散を抑制することができる。また、イオン注入を行なう前にイオン打込み領域上に酸化シリコンのスルー酸化膜を設けてもよい。

【0059】ソース/ドレイン領域上にコバルトシリサイド膜を形成した後にイオン注入を行なうことにより、イオン注入の回数を制限することができ、マスクの数を制限することができる。また、ゲート電極に対しては十分な量の不純物をイオン注入し、ソース/ドレイン領域に対しては不純物注入領域を浅くすることができる。このようにして、微細で特性の優れたMOSトランジスタを作成することができる。

【0060】次に、シリサイド反応を用いて局所配線を形成する実施例について説明する。図9A、9Bは、局所配線を用いるのに適した回路構成の例を示す。図9Aは、リングオシレータの一部の等価回路図であり、図9BはSRAMセルの等価回路図である。

【0061】図9Aにおいて、電源電圧線 $V_{DD}$ と接地線 $V_{SS}$ (または2つの電源線)の間に2つのインバータ回路INV1、INV2が接続されている。第1のインバータ回路INV1においては、pチャネルMOSトランジスタQ1のソースS1が電源線 $V_{DD}$ に接続され、そのドレインD1はnチャネルMOSトランジスタQ2のドレインD2と直結されている。また、nチャネルMOS

トランジスタQ2のソースS2は、接地線 $V_{SS}$ に接続されている。2つのトランジスタQ1、Q2のゲートは共通にゲート電極G1に接続され、入力信号を印加される。

【0062】第2のインバータ回路INV2においては、pチャネルMOSトランジスタQ3のソースS3が電源線 $V_{DD}$ に接続され、そのドレインD3はnチャネルMOSトランジスタQ4のドレインD4に直結されている。nチャネルMOSトランジスタQ4のソースS4は、接地線 $V_{SS}$ に接続されている。2つのトランジスタQ3、Q4のゲートは共通のゲート電極G2に接続されている。第1のインバータ回路INV1のドレインD1、D2に接続された出力線は、第2のインバータ回路INV2のゲート電極G2に接続されている。

【0063】このように、2つの電源線 $V_{DD}$ 、 $V_{SS}$ の間に接続された複数のインバータ回路INVが、カスケードに接続されている。ここで、第1のインバータ回路INV1のドレインD1、D2を接続する出力線は、第2のインバータ回路INV2のゲート電極G2に局所配線L11によって接続される。

【0064】図9Bにおいては、2つの電源線 $V_{DD}$ 、 $V_{SS}$ の間に、図9Aと同様、2つのインバータ回路INV1とINV2が接続されている。また、第1のインバータ回路INV1のドレインD1、D2は、第2のインバータ回路INV2のゲート電極G2に局所配線L11によって接続されている。

【0065】本構成においては、第2のインバータ回路INV2のドレインD3、D4を接続する出力線が、局所配線L12によって第1のインバータ回路INV1のゲート電極G1に帰還されている。

【0066】さらに、第1のインバータ回路の出力線は、転送トランジスタQ5を介してビット線-BL(BLバー)に接続され、第2のインバータ回路INV2の出力線は、転送トランジスタQ6を介してビット線BLに接続されている。2つの転送トランジスタQ5、Q6のゲートは、ワード線WLに接続されている。

【0067】図10A、10Bは、図9Aに示すリングオシレータの一部を構成する半導体装置の上面を示す概略図である。図10Aは、半導体基板上にゲート電極を形成し、ソース/ドレイン領域を形成した段階の平面図である。図において、左側にnウェルが形成され、右側にpウェルが形成されている。

【0068】nウェルの表面領域43、44以外の領域はフィールド酸化膜によって覆われている。また、pウェルの表面領域45、46以外の領域もフィールド酸化膜によって覆われている。ゲート電極G1は、表面領域43、45を貫通するようにゲート酸化膜を介して形成されている。また、ゲート電極G2は、表面領域44、46を貫通するようにゲート酸化膜を介して形成されている。

13

【0069】このように、ゲート電極G1、G2を形成した後、pウェル領域をレジストマスクで覆い、p型不純物をイオン注入することにより、nウェル領域内にp型ソース領域S1、S3およびp型ドレイン領域D1、D3を形成する。

【0070】また、nウェル領域をレジストマスクで覆い、n型不純物をイオン注入することにより、pウェル領域内にn型ソース領域S2、S4およびn型ドレイン領域D2、D4を形成する。このようにして、図9Aに示す4つのMOSトランジスタのQ1、Q2、Q3、Q4の基本構造が作成される。

【0071】図10Bは、図10Aに示す基本構造の上に、局所配線L1を作成することにより、インバータをカスケード接続した状態を示す。局所配線L11は、第1のインバータ回路INV1の2つのドレインD1、D2を接続し、さらに第2のインバータINV2のゲート電極G2に接続する。局所配線L11は、2つのドレイン領域D1、D2およびゲート電極G2と重複する部分を除けば、フィールド酸化膜上に配線されており、層間絶縁膜を設けて他の回路素子と絶縁する必要がない。

【0072】上述の実施例に示したサリサイド反応を用いた電極形成工程のみによっては、フィールド酸化膜上に配線層を形成することはできない。以下の実施例において、このように酸化膜上に延在し、回路素子同士を接続する局所配線の製造方法を説明する。

【0073】図11は、図9Bに示すSRAM回路の構成例を示す半導体装置の平面図である。図9Bのクロス配線を実現するため、図10A、10Bとは異なる配置となっている。

【0074】図11において、上側にはnウェルが形成され、下側にはpウェルが形成されている。nウェル中の表面領域41がフィールド酸化膜に囲まれて画定され、pウェル中の表面領域42が同様にフィールド酸化膜によって画定されている。これらの表面領域41、42以外のSi表面は、フィールド酸化膜によって覆われている。

【0075】nウェルの表面領域41は、倒立したT型を有し、pウェルの表面領域42は、倒立したU型を有する。T型表面領域41の水平部分およびU型の表面領域42の水平部分を貫通するように、2つのゲート電極G1、G2が形成されている。本構成においては、さらに図中下方にゲート電極G3が形成されている。

【0076】これらゲート電極G1、G2、G3をマスクとしてイオン注入することにより、ゲート電極G1、G2に覆われていない表面領域41の部分はp型不純物をドーブされてp型領域とされ、表面領域42のゲート電極G1、G2、G3に覆われていない部分はn型不純物をドーブされてn型領域とされている。

【0077】このようにして、図10A、10Bと同様、4つのMOSトランジスタQ1、Q2、Q3、Q4

14

が形成されると共に、さらに他の2つのMOSトランジスタQ5、Q6も形成される。

【0078】本構成において、MOSトランジスタQ1、Q3のソース領域は共通領域とされ、図中S1で示されている。また、2つのMOSトランジスタQ2、Q4のソース領域も共通領域で形成され、図中S2で示されている。さらに、2つのMOSトランジスタQ5、Q6のドレイン領域は、それぞれ2つのMOSトランジスタQ2、Q4のドレイン領域と共通領域で形成される。

【0079】このような構成において、ゲート電極G1、G2、G3の表面は絶縁膜で覆っておき、コンタクト領域CT1、CT2の領域でのみその絶縁膜を剥離する。すなわち、ゲート電極はコンタクト領域CTの部分でのみ露出され、基体表面は表面領域41、42のうちゲート電極G1、G2、G3で覆われていない部分でのみ露出する。

【0080】このような構成において、局所配線L11をドレイン領域D1、D2およびゲート電極G2のコンタクト領域CT2を結ぶように作成し、局所配線L12をドレイン領域D3、D4およびゲート電極G1のコンタクト領域CT1を結ぶように形成する。

【0081】これらの局所配線L11、L12は、3つの端部において下地半導体表面と接触するが、その他の領域においては絶縁膜上に配置される。したがって、局所配線L11、L12を作成する際に、特に層間絶縁膜を設ける必要はない。このような局所配線を、以下に述べる実施例の製造方法によって作成することができる。

【0082】図12A-12Dは、本発明の実施例による半導体装置の製造方法を説明するための断面図である。なお、局所配線の製造方法を説明するために、他の部分は簡略化して示す。

【0083】図12Aに示すように、通常の方法でフィールド酸化膜52で囲まれた基板51表面にLDD構造のMOSトランジスタを作成する。図において、MOSトランジスタQはnチャネルMOSトランジスタであり、p型シリコン領域51に作成されている。ゲート絶縁膜53上にシリコンゲート電極54が形成され、その両側面をサイドウォール55の酸化膜が覆っている。

【0084】また、ゲート電極の両側にはn型のソース領域56、ドレイン領域57が形成されている。フィールド酸化膜上には、他のトランジスタのゲート電極58が延在している。ゲート電極58の両側壁にもサイドウォール59の酸化膜が形成されている。以下、MOSトランジスタQのドレイン領域57を、ゲート電極58に接続する局所配線を作成する製造方法について説明する。

【0085】図12Bにおいて、基板51表面上に厚さ約10nmのCo膜60および厚さ約30nmのSi膜61を、それぞれスパッタリングによって形成する。Si膜61を残したい領域を覆うように、レジストマスク

62を形成する。

【0086】レジストマスク62をエッチングマスクとし、たとえば通常の並行平板型RIE装置を用い、流量約100sccmのSF<sub>6</sub>ガスをエッチングガスとし、圧力を約50mtorrに保ち、約200WのRF電力を印加してRIEエッチングを行なう。

【0087】図12Cに示すように、Si膜61をエッチングし、Si膜パターン61aを作成する。エッチング終了後、レジストパターン62は、酸素プラズマを用いたダウンフローアッシング装置によって剥離する。ダウンフローアッシング装置によるレジスト膜剥離は、ダメージが少なく、Co膜60へのダメージを最小限に抑制することができる。

【0088】その後、基板をスパッタリング装置に搬入し、TiN膜62を厚さ約30nmスパッタリングによって堆積する。すなわち、パターニングされたSi膜61aを挟んで、Co膜60とTiN膜62が積層される。

【0089】その後、たとえばRTAによって基板を約1000℃に加熱し、Co膜60のシリサイド反応を進行させる。Co膜60が基板51表面と接触している部分、ゲート電極54、58と接触している部分、およびSi膜パターン61aと接触している部分において、シリサイド反応が進行する。

【0090】図12Dに示すように、Si膜パターン61aが存在していた領域にシリサイドによる局所配線65を作成した後、残存するTiN膜62をNH<sub>4</sub>OH+H<sub>2</sub>O<sub>2</sub>混合液で除去し、さらに未反応のCo膜60をHCl+H<sub>2</sub>O<sub>2</sub>（1：1）混合液で除去する。なお、未反応Co膜の除去は、H<sub>2</sub>SO<sub>4</sub>+H<sub>2</sub>O<sub>2</sub>（3：1）によって除去してもよい。

【0091】このようにして、Si領域表面にシリサイド層64を形成し、さらにフィールド酸化膜52上に延在する局所配線65も作成することができる。この局所配線65の下層配線層であるゲート電極58との間には層間絶縁膜が形成されておらず、コンタクトホール形成のための位置合わせ精度もほとんど不要である。このため、微細なLSI構造を容易に作成することができる。

【0092】図12A-12Dに示す実施例においては、Co膜とTiN膜の間にSi膜パターンを挟み、シリサイド反応を行なった。Co膜表面がTiN膜で覆われているため、Co膜の酸化が防止され、好適なシリサイド膜を得ることができる。

【0093】図13A-13Dは、他の実施例による局所配線の製造方法を示す断面図である。図13Aに示すように、通常の方法により基板51表面上にMOSトランジスタ構造を作成する。なお、図13Aの構造は、図12Aの構造と同等である。

【0094】図13Bに示すように、前述の実施例同様、基板51表面上にCo膜60を作成する。続いて、

TiN膜62をスパッタリングによって堆積する。その後、基板51表面上にレジストマスク67を作成する。レジストマスク67は、局所配線を作成すべき領域に開口を有する。たとえば、Si膜61（流量約100sccm）をエッチングガスとして用い、圧力約50mtorrでRF電力200Wを印加し、TiN膜62をRIEによってエッチングする。

【0095】すなわち、局所配線を形成すべき領域においてのみ、TiN膜62が除去される。その後、レジストマスク62は酸素プラズマのダウンフローによってアッシングする。

【0096】図13Cに示すように、基板51表面上にSi膜61を厚さ約30nmスパッタリングによって堆積する。Si膜61堆積後、その表面上にレジストマスク68を作成する。レジストマスク68は、局所配線を形成すべき領域を覆うマスクであり、レジストマスク67の反転マスクとなっている。

【0097】レジストマスク68をエッチングマスクとし、Si膜61をSF<sub>6</sub>ガスをを用いたRIEによってエッチングする。Si膜61のエッチング後、レジストマスク68は酸素プラズマのダウンフローでアッシングする。

【0098】なお、SF<sub>6</sub>ガスをを用いたRIEを約-30℃以下の低温で行なうと、TiN膜62およびCo膜60をほとんどエッチングすることなく、選択的にSi膜61をエッチングすることができる。したがって、図13Bに示すレジストマスク67の開口部分と、図13Cに示すレジストマスク68との間に重複部分を設ける必要はない。多少2つのマスクの位置関係がずれても、形成されるSi膜パターンとTiN膜62の開口部分がわずかにずれるのみで、その他の影響を与えることはない。Si膜61のエッチング後、レジストマスク68は酸素プラズマのダウンフローによってアッシングする。

【0099】図13Dは、このようにして形成されたSi膜パターン61とTiN膜パターン62の関係を概略的に示す。TiN膜62は、Co膜60が露出している部分を実質的に覆っている。Si膜61は、Co膜60のように酸化による変質が問題とならない。したがって、図に示すように、露出しているCo膜60の実質的な表面をTiN膜62で覆えば、その後の熱処理を安定に行なうことができる。

【0100】その後、たとえばRTAによって基板を約1000℃に加熱し、熱処理を行なうことにより、図12Dに示すようなシリサイドの局所配線を作成することができる。なお、露出したSi表面にシリサイド膜が形成されることは、図12Dと同様である。その後、TiN膜と未反応のCo膜はウォッシュアウトする。

【0101】図12A-12D、図13A-13Dに示す製造方法により、図10Bに示すような局所配線L11を作成することができる。なお、Si電極の上面が露

17

出していると、図11に示すように、他のSi配線を越えて局所配線を形成することができない。このような場合には、図14A-14Dに示すような製造方法を用いればよい。

【0102】図14Aにおいては、フィールド酸化膜52を備えたSi基板51表面上にアモルファスシリコン膜66と窒化シリコン膜67が積層されている。窒化シリコン膜67の内コンタクト領域となる部分に開口68が形成されている。

【0103】図14Bに示すように、窒化シリコン膜67、アモルファスシリコン膜66をパターニングし、ゲート酸化膜53、アモルファスシリコン膜54、窒化シリコン膜63で形成されたゲート電極およびアモルファスシリコン膜58a、窒化シリコン膜63aで形成された配線および表面が露出したアモルファスシリコン膜58bで形成された配線を得る。その後n型不純物を軽くイオン注入してLDD領域を形成する。

【0104】次に、図14Cに示すように、ゲート電極および配線にサイドウォール絶縁膜55、59a、59bを形成する。その後n型不純物をイオン注入してソース/ドレイン領域56、57を形成する。フィールド酸化膜52によって画定された基板51表面部分にMOSトランジスタQが作成され、フィールド酸化膜52上に2つのシリコン配線/電極58a、58bが作成されている。なお、配線/電極54、58aは、それぞれその上面およびその側面をSiN膜63、63aおよび酸化シリコンのサイドウォール55、59aによって覆われている。配線/電極58bは上面が露出している。

【0105】このように、配線/電極のうち所望の領域のみを露出し、他の配線/電極は絶縁膜によって覆った状態を作成する。図14Dに示すように、このように準備した基板51表面上にCo膜60をスパッタリングによって堆積する。その後、図12B-12Dまたは図13B-13Dに示すように、Si膜、TiN膜を堆積し、シリサイド反応を進行させる。

【0106】本実施例によれば、MOSトランジスタQとゲート電極58bとの間に他のゲート電極58bが存在するが、その表面はSiN膜63aによって覆われているため、シリサイドによる局所配線によりMOSトランジスタQのドレイン領域57とゲート電極58bを接続することができる。

【0107】このように、他のゲート電極を跨いで局所配線を作成することにより、図11に示すような局所配線L1を作成することができる。

【0108】図15A、15Bは、ボーダレスコンタクトの作成例を示す。図15Aにおいて、たとえばp型のSi基板71の表面上にゲート酸化膜72aが形成され、その上にシリコンゲート電極73a、73bが形成されている。ゲート電極73a、73bの表面上はさらに絶縁膜76によって覆われている。また、ゲート電極

18

の側壁も絶縁膜74a、74bによって覆われている。ゲート電極をマスクとしてイオン注入することにより、p型基板領域71表面部分にn型領域75a、75b、75cが作成されている。このような構成は、図14Aに示すものと同等の方針によって作成することができる。

【0109】n型領域75bから両側のゲート電極を包む絶縁膜上に延在するように、シリサイドのパッド77を前述の実施例と同様の方法によって作成する。パッド77は、Si基板71の露出表面よりも広い面積を有するようになる。

【0110】パッド77を覆うように層間絶縁膜78を作成し、コンタクトホールを作成する。このコンタクトホールはパッド77と整合していれば良く、n型領域75bの露出表面と位置整合させる場合よりも位置精度を緩和させることができる。

【0111】その後、表面上にAl等の電極層79を作成し、パターニングすることによってn型領域75bからパッド77を介して電気的に接続する配線79を作成する。

【0112】図15Bは、ボーダレスコンタクトの他の構成例を示す。Si基板71表面上にフィールド酸化膜83が形成され、フィールド83で画定された素子領域内にMOSトランジスタQが作成される。MOSトランジスタQは、図15Aに示すMOSトランジスタと同様、ゲート電極表面を絶縁膜76が覆っている構成を有する。

【0113】すなわち、Si基板71表面上にゲート絶縁膜72、ゲート電極73、絶縁膜76の積層が形成され、パターニングされて表面を絶縁されたゲート電極構造が作成される。さらに、このゲート電極構造の側壁をサイドウォール74の絶縁膜が覆う。ゲート電極の両側にはn型領域75d、75eが作成される。

【0114】この状態において、n型領域75eの表面からフィールド酸化膜83表面上に延在するシリサイドパッド80が前述の実施例同様の方法によって作成される。その後、表面上を層間絶縁膜78で覆い、パッド80を露出する開口が形成される。

【0115】その後、表面上にAl等の配線層が作成され、パターニングされて配線81が形成される。配線81とn型領域75eの接続は、ボーダレスコンタクトによるパッド80を介して行なわれるため、位置合わせ精度が緩和する。

【0116】Co膜表面、少なくともSi膜で覆われていない部分のCo膜表面をTiN膜で覆った状態でシリサイド反応を行なうことにより、シリサイド反応後の表面の凹凸が減少し、表面モロロジが改善される。また、熱処理時にCo膜表面が酸化されず、シリサイドのシート抵抗上昇を防止する。配線幅が細い場合、シリサイド配線の抵抗率が上昇し易いが、Co膜をTiN膜で覆っ

た状態でシリサイド化を行なうことにより線幅依存性が減少する。また、LOCOS酸化膜に隣接するSi表面にも良好にCoSiを形成することができる。

【0117】以上説明した実施例において、Co膜の厚さは約10nmであったが、5～50nmの範囲から任意に選択することができる。また、Si膜の厚さは約30nmであったが、20～200nmの範囲から任意に選択することができる。Si膜やTiN膜のパターニングは、上述の実施例の方法に制限されない。また、上述の実施例以外の回路にも同様のシリサイド電極または配線を適用することができる。

【0118】図1～4の実施例においては、シリサイド反応の工程が2回行なわれる。局所配線をこれらシリサイド反応の工程と同時に進行することもできる。特に2回目のシリサイド反応を利用すればゲートへの配線を形成することができる。

【0119】図16は、シリサイド層を有するドレインにシリサイドの局所配線を形成する場合を示す。たとえば、図3Bまでの工程により、シリコン基板21表面にドレイン領域30、その表面上にCoシリサイド層28を形成する。なお、フィールド酸化膜22上には側壁酸化

【0120】この基板の全表面上にCo膜60をスパッタリングで堆積し、さらにSi膜61をスパッタリングで堆積する。ホトリソグラフィを用いて、Si膜61を局所配線の形状にパターニングする。ドレイン領域30表面はCoシリサイド膜28で覆われているため、化学的に安定化している。このため、TiN膜は省略できる。その後、図12Dに示す工程と同様にシリサイド化反応を行なう。

【0121】なお、Co膜60を用いたが、より低温でシリサイド化が可能なNi膜に置換してもよい。たとえば、Ni膜60を厚さ10nmスパッタリングで堆積し、その上にSi膜61を厚さ30nmスパッタリングで堆積する。Si膜61を局所配線形状にパターニングする。たとえば、レジストマスクを形成した基板を平行平板型RIE装置に搬入し、SF<sub>6</sub> 150sccm + N<sub>2</sub> 30sccmを流し、圧力の0.1 Torrで200Wの高周波電力を供給してRIEを行なう。

【0122】その後、RTAで450℃、30秒間の加熱を行ない、シリサイド化反応を行なわせる。その後、HCl : H<sub>2</sub>O<sub>2</sub> = 1 : 1またはH<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub>で未反応のNi膜を除去する。このような工程で良好なシリサイド配線を形成することができる。

【0123】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0124】

【発明の効果】以上説明したように、本発明によれば、

工程を複雑化することなく、好適なシリサイド電極またはシリサイド配線を作成することができる。

【0125】シリサイドによる局所配線を形成することにより、半導体装置の微細化を促進することができる。Coシリサイドを利用することにより、半導体装置の性能を向上することが容易となる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図2】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図3】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図4】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図5】従来技術による半導体装置の製造方法を説明するための断面図である。

【図6】従来技術による半導体装置の製造方法を説明するための断面図である。

【図7】従来技術による半導体装置の製造方法を説明するための断面図である。

【図8】従来技術による半導体装置の製造方法を説明するための断面図である。

【図9】局所配線を用いるのに適した電子回路の例を示す等価回路図である。

【図10】図9Aの回路を実現する半導体装置の構成を示す平面図である。

【図11】図9Bの回路を実現する半導体装置の構成を示す平面図である。

【図12】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図13】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図14】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図15】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図16】本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【符号の説明】

- 21 シリコン半導体基板
- 22 フィールド酸化膜
- 23 ゲート酸化膜
- 24 アモルファスシリコン膜
- 25 窒化シリコン膜
- 26 サイドウォール
- 27 Co膜
- 28 コバルトシリサイド膜
- 29 ソース領域
- 30 ドレイン領域

21

22

31 Co膜

32 コバルトシリサイド膜

33 層間絶縁膜

34 ソース電極

35 ドレイン電極

60 Co膜

61 Si膜

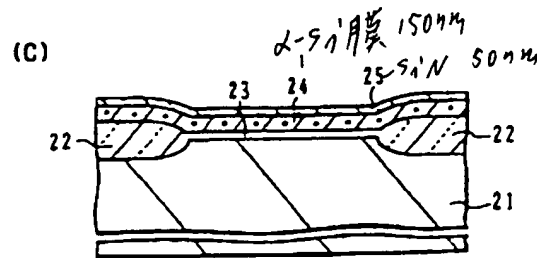
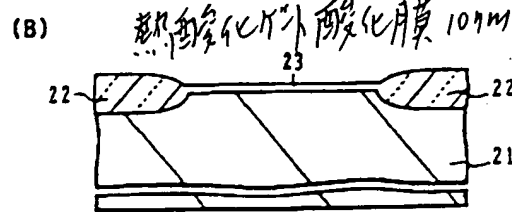
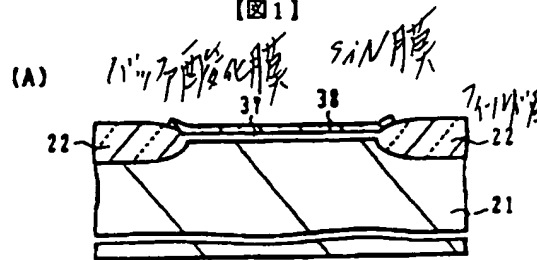
62 TiN膜

64 シリサイド層

65 シリサイド配線

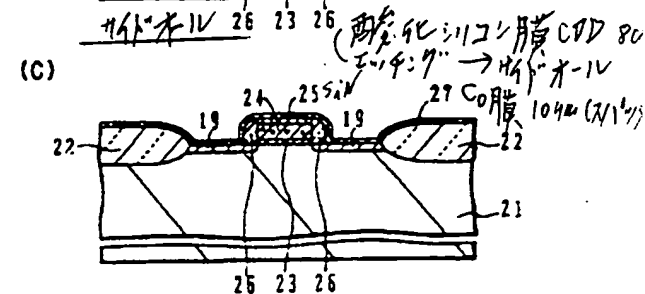
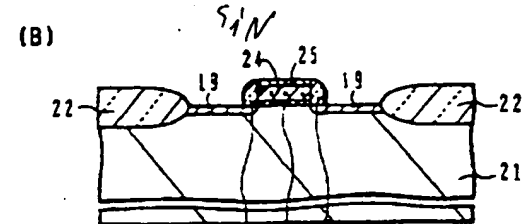
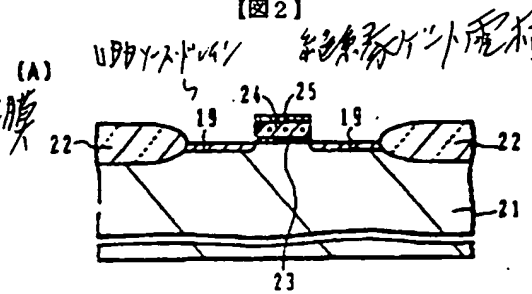
77 シリサイドパッド

【図1】



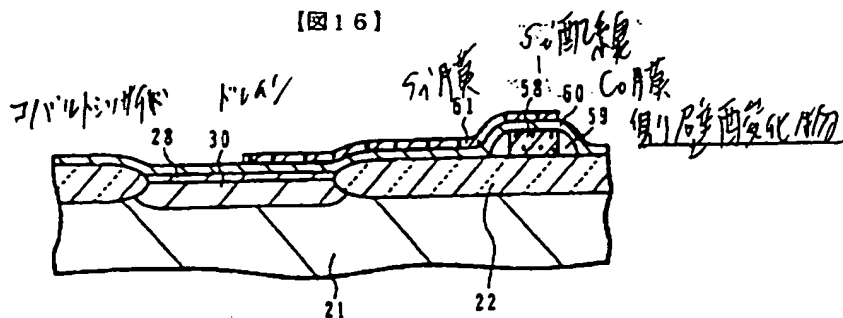
21: シリコン半導体基板 24: α-Si膜  
22: フィールド酸化膜 25: SiN膜  
23: ゲート酸化膜

【図2】

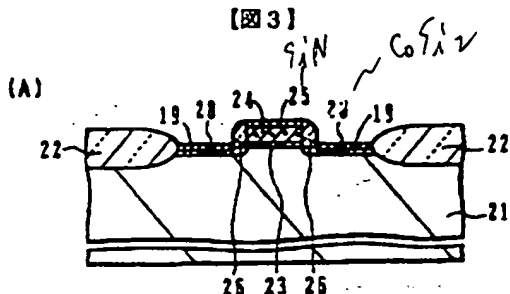


26: シリコン酸化膜  
27: Co膜

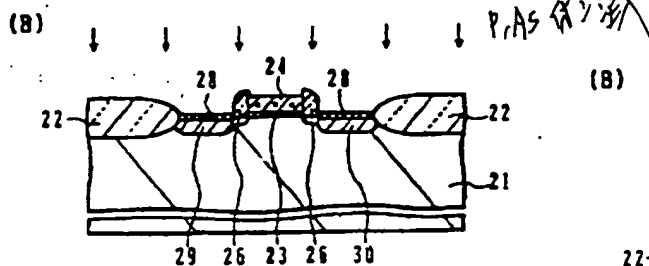
【図16】



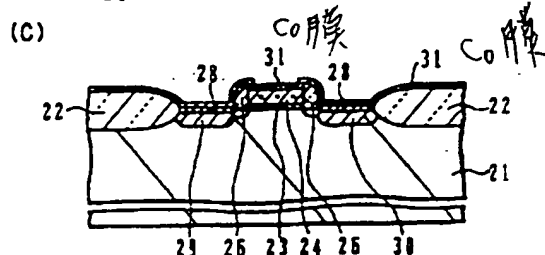
【圖 3】



28:コバルトシワサイド翼

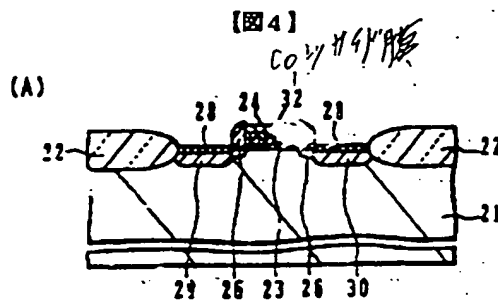


29: n型ソース領域    30: n型ドレイン領域

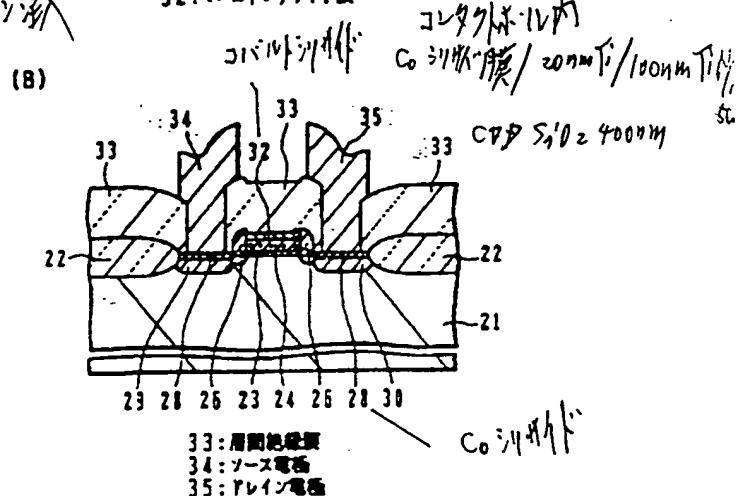


31: 60展

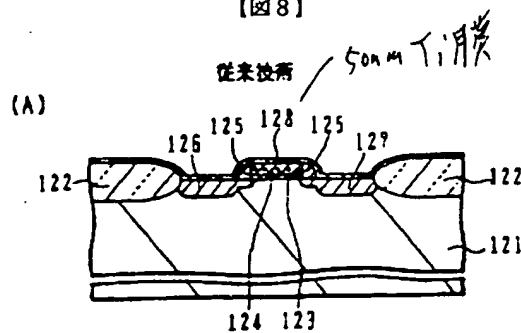
【圖4】



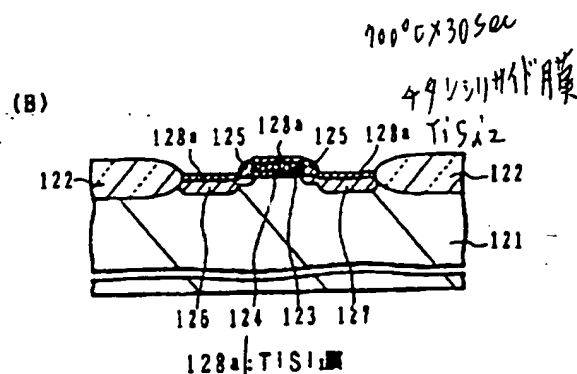
32:ニバルトウサイフ銀



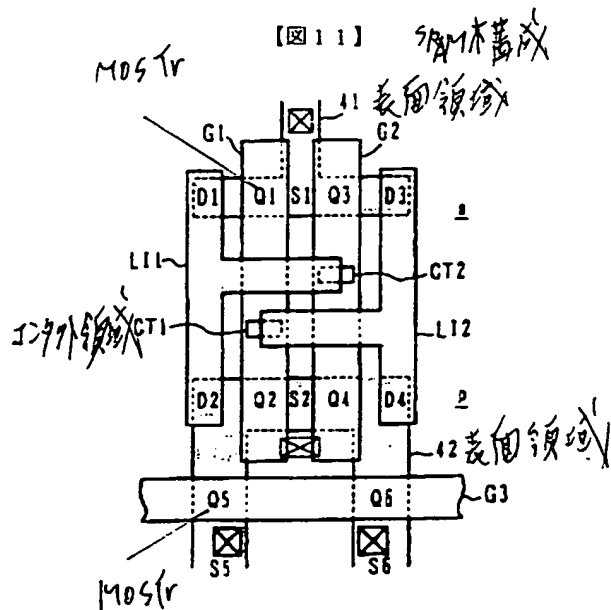
【图8】



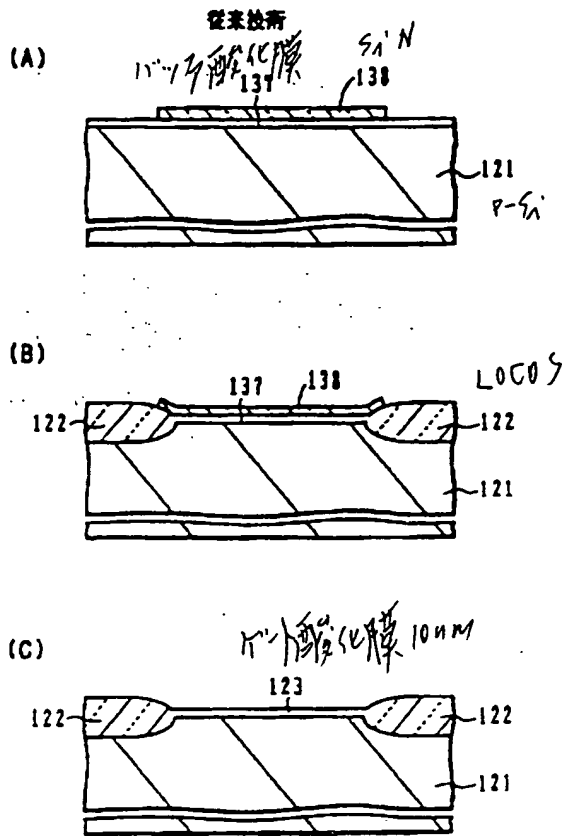
128:TIM



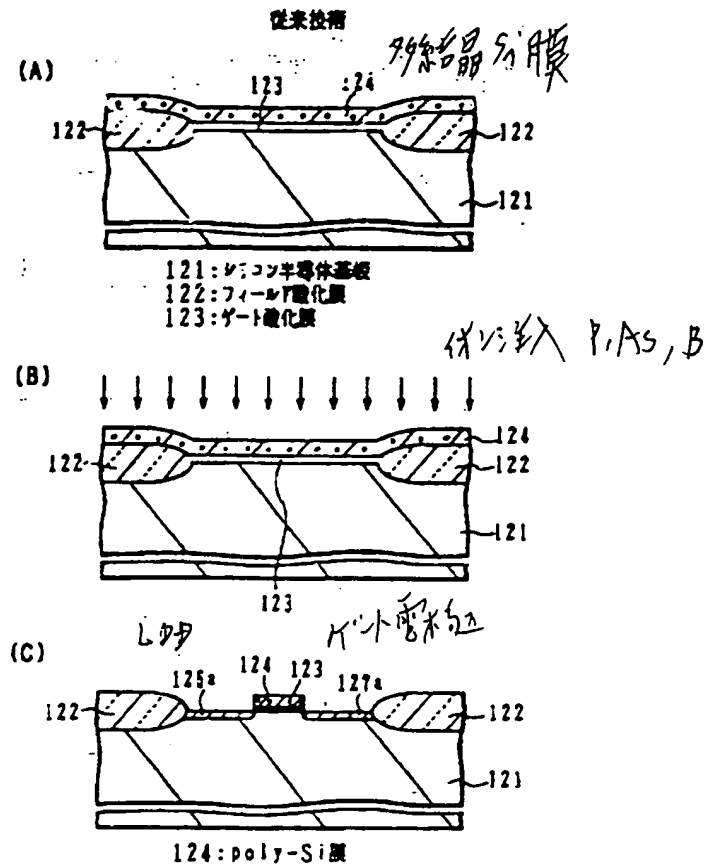
【图 11】



【図5】

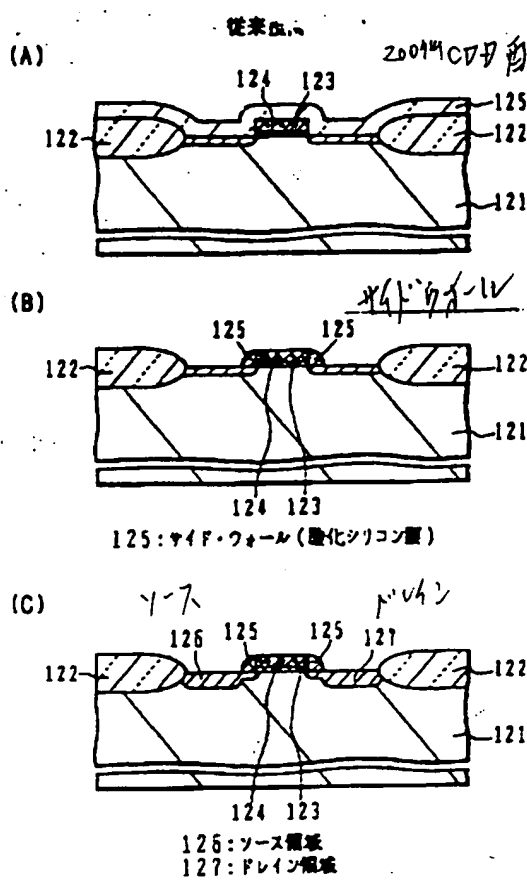


【図6】

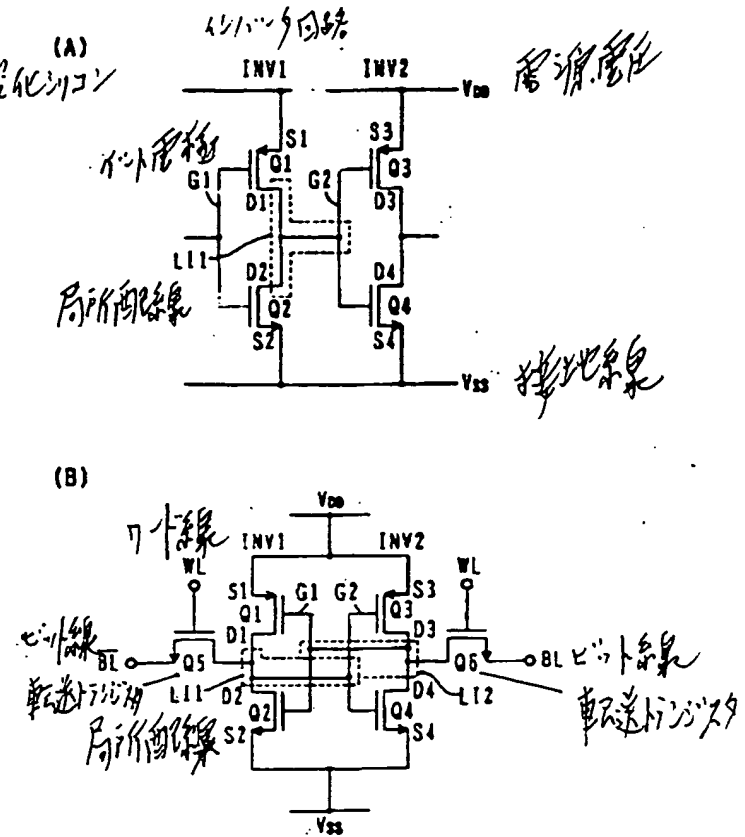




【図7】

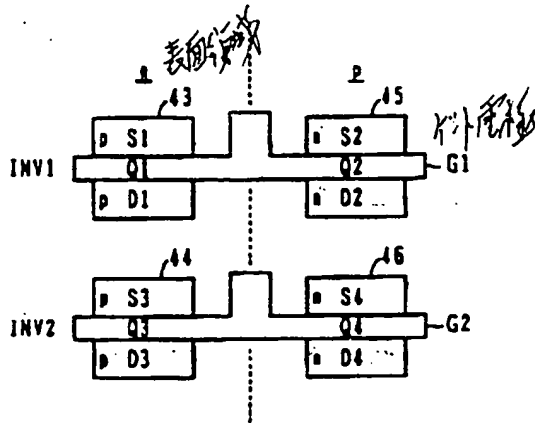


【図9】

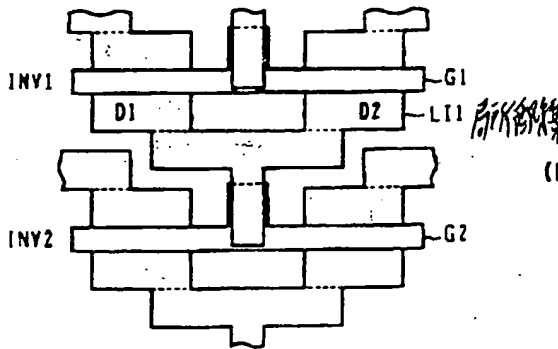


【図10】

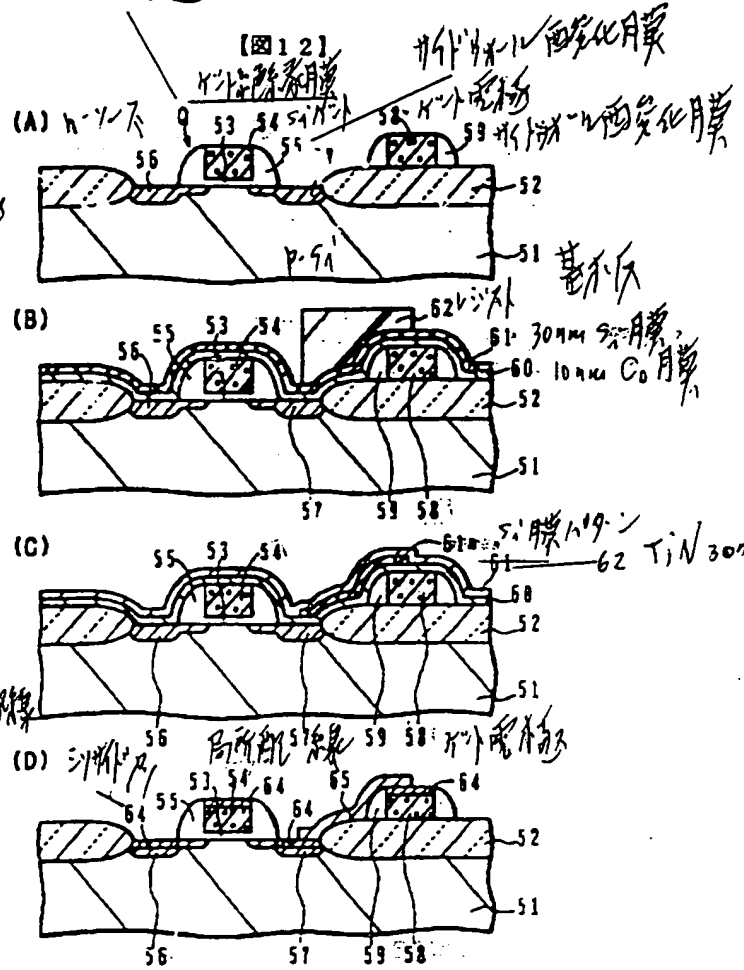
(A)



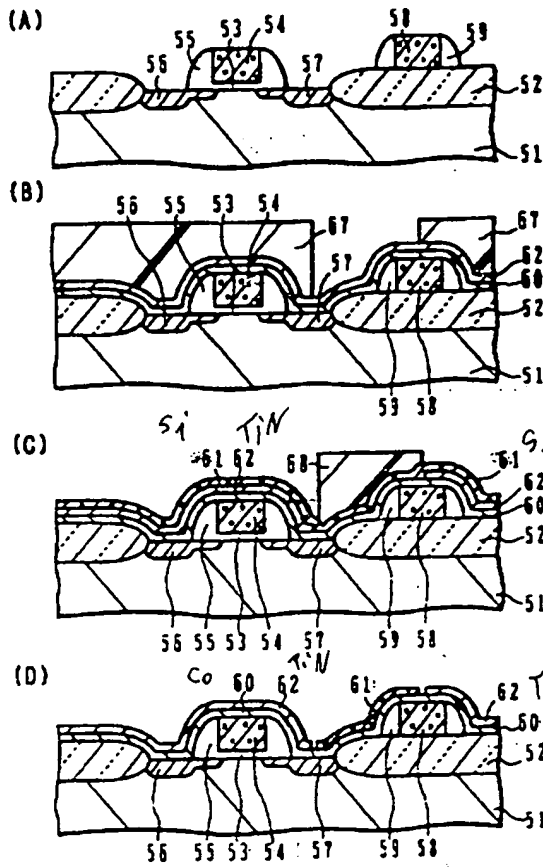
(B)



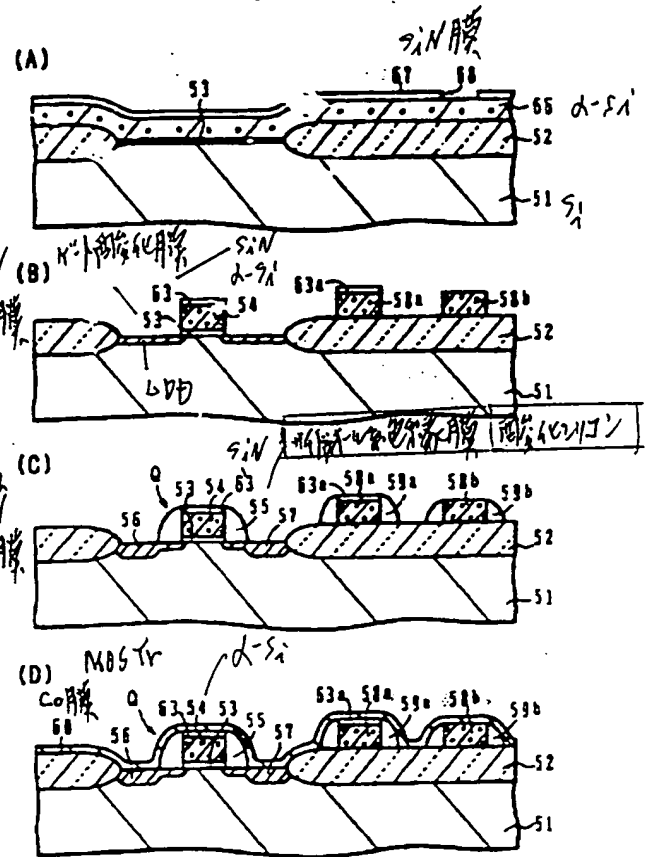
【図12】



【図13】



【図14】



ボック・グーレンコンダクト

【圖 15】

(A)

Al 醇类

34 4/11/10 7/11

∴ 不由系色象膜

-75c

71

230 5. 7-16 卷

11-1 酸化膜

(B)

1405 Tr

絶縁膜

● ● A2 配系果

-78-

83

-71

211 11 11 11 11 11

側壁系膜